

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-261224

(43)Date of publication of application : 16.09.1994

(51)Int.Cl.

H04N 5/06
H03L 7/087
H03L 7/10

(21)Application number : 05-047622

(71)Applicant : FUJITSU GENERAL LTD

(22)Date of filing : 09.03.1993

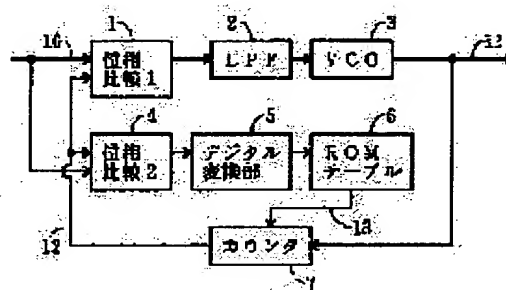
(72)Inventor : SHIMURA KENJI

(54) PLL CIRCUIT

(57)Abstract:

PURPOSE: To obtain a PLL circuit which is capable of outputting a clock signal phase locked with an input signal within prescribed time by changing a frequency division ratio based on preliminarily stored data according to the phase difference of the input signal and a feedback signal.

CONSTITUTION: Phase comparators 1 and 4 detect the phase difference between an input signal and a feedback signal 12, respectively, and output the signals according to the phase difference. The output of the phase comparator 1 is outputted to a counter 7 via an LPF 2 and a VCO 3. An A/D conversion is performed for the output of a phase device 2, the data which is preliminarily stored in a ROM table 6 is taken out according to phase differences and the data is supplied to the counter 7. The counter 7 changes a frequency division ratio according to the data supplied from the ROM 6 and performs the feedback of the feedback signal 12 to the comparators 1 and 4 after a frequency division is performed for a clock signal 11 based on the frequency division ratio. Thus, a clock signal synchronized with the input signal within prescribed time is outputted.



LEGAL STATUS

[Date of request for examination] 28.02.1996

[Date of sending the examiner's decision of rejection] 24.12.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3117046

[Date of registration] 06.10.2000

[Number of appeal against examiner's decision of rejection] 2000-01007

[Date of requesting appeal against examiner's decision of rejection] 24.01.2000

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-261224

(43)公開日 平成6年(1994)9月16日

(51)Int.Cl.⁵

H 0 4 N 5/06
H 0 3 L 7/087
7/10

識別記号

Z 9070-5C

9182-5 J

9182-5 J

F I

H 0 3 L 7/ 08

7/ 10

審査請求 未請求 請求項の数 2 O L (全 4 頁)

技術表示箇所

P

A

(21)出願番号

特願平5-47622

(22)出願日

平成5年(1993)3月9日

(71)出願人 000006811

株式会社富士通ゼネラル

神奈川県川崎市高津区末長1116番地

(72)発明者 志村 賢二

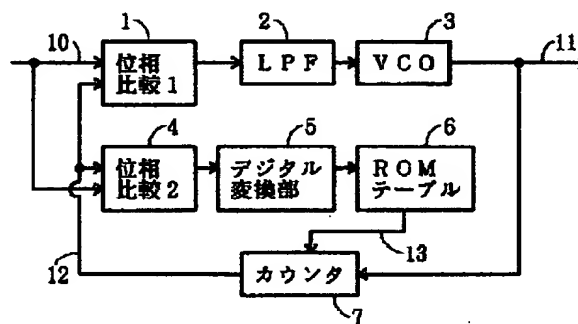
川崎市高津区末長1116番地 株式会社富士
通ゼネラル内

(54)【発明の名称】 PLL回路

(57)【要約】 (修正有)

【目的】 位相差を検出し、相応する分周比でクロック信号を分周し帰還信号を生成し、所定時間以内に入力信号に同期したクロック信号を出力する。

【構成】 入力信号10と帰還信号12間の位相差を検出する第一の位相比較器1と、低域フィルタ2と、所定のクロック信号11を発生する電圧制御発振器3と、第一の位相比較器1と並列に接続される第二の位相比較器4と、第二の位相比較器が出力する信号を入力し、クロック信号11の周期を最小単位としてデジタルデータに変換するデジタル変換部5と、デジタルデータに応じ記憶している所定のプリセットデータ13を出力するROMテーブル6と、ROMテーブル6より供給されたデータに応じ分周比を変えるとともに、該分周比に基づき、クロック信号11を分周した後、出力(帰還)信号12を第一の位相比較器1および第二の位相比較器4に帰還させるカウンタ7とでなる。



【特許請求の範囲】

【請求項1】 入力する信号間の位相差を検出し該位相差に応じた信号を出力する第一の位相差検出手段と、前記位相差検出手段が出力する信号を入力し直流電圧に変換し出力する低域フィルタと、前記低域フィルタに縦続接続するとともに前記直流電圧により制御され所定の信号を発生し該信号を出力する電圧制御発振手段と、前記電圧制御発振手段の出力信号を分周するとともに前記位相差検出手段に帰還接続する分周手段とからなるPLL回路において、

前記第一の位相差検出手段と並列に接続し入力する信号間の位相差を検出し該位相差に応じた信号を出力する第二の位相差検出手段と、前記第二の位相差検出手段が出力する位相差信号を入力しデジタルデータに変換し出力する手段と、入力したデジタルデータに応じ記憶している所定のデータを出力する記憶手段と、前記記憶手段より供給されたデータに応じ分周比を変える分周手段とからなり、

前記第二の位相差検出手段が入力する信号間の位相差を検出し、検出結果に基づき出力する信号から得られるデジタルデータに基づき、相応する予め記憶している所定のデータを前記記憶手段より取り出し、該データに基づいて前記分周手段の分周比を変化させることにより、基準信号に対し、出力信号を分周した後帰還させた信号の位相差を減少させ、帰還信号を入力している基準信号に位相同期させることを特徴とするPLL回路。

【請求項2】 上記分周手段が、記憶手段より出力するデータをプリセット可能なカウンタでなる請求項1記載のPLL回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、分周比を適宜変化させて、帰還信号の位相を基準信号に合わせ込むPLL（フェーズロックドループ）回路に関する。

【0002】

【従来の技術】クリアビジョン（EDTV）等で、放送されたカラーテレビ信号の水平同期信号に位相同期するクロック信号を得るため、例えば、図4に示すPLL回路（ブロック図）が使用される。31は基準信号として入力する放送されたカラーテレビ信号の水平同期信号40とVCO34が発振し出力するクロック信号41をカウンタ37で分周して得られる帰還信号（水平同期信号）42とを位相比較し、両信号の位相差に応じた信号を発生する位相比較器である。32は前記位相比較器31から位相差に応じた信号が供給され、該信号に基づき直流電圧を生成する低域フィルタ（LPF）である。34は、前記直流電圧に基づき、発振周波数と位相を制御し、所望のクロック信号41を生成し出力する電圧制御発振（VCO）回路である。37は前記クロック信号41を所定の比率で分周し、帰還信号42を生成するカウ

ンタ（分周器）である。しかし、上記した従来のPLL回路では、カウンタ37の分周比が固定値であるため、電源投入のタイミングなどによっては、おおむねLPF32と縦続接続するVCO34の総合特性によって決まる遅い収束速度のため、必要な収束時間内に水平同期信号40に位相同期する安定したクロック信号41を発生させることができなかった。

【0003】

【発明が解決しようとする課題】本発明は上記問題点を鑑みなされたもので、入力（基準）信号が供給されると、所定時間以内に、その入力信号に位相同期したクロック信号を出力することができるPLL回路を提供することを目的とする。

【0004】

【課題を解決するための手段】上記目的を達成するために、入力する信号間の位相差を検出し該位相差に応じた信号を出力する第一の位相差検出手段と、前記位相差検出手段が出力する信号を入力し直流電圧に変換し出力する低域フィルタと、前記低域フィルタに縦続接続するとともに前記直流電圧により制御され所定の信号を発生し該信号を出力する電圧制御発振手段と、前記電圧制御発振手段の出力信号を分周するとともに前記位相差検出手段に帰還接続する分周手段とからなるPLL回路において、前記第一の位相差検出手段と並列に接続し入力する信号間の位相差を検出し該位相差に応じた信号を出力する第二の位相差検出手段と、前記第二の位相差検出手段が出力する信号を入力しデジタルデータに変換し出力する手段と、入力したデジタルデータに応じ記憶している所定のデータを出力する記憶手段と、前記記憶手段より供給されたデータに応じ分周比を変える分周手段とからなる。

【0005】

【作用】以上のように構成したので、第二の位相差検出手段が検出する位相差に基づき、電圧制御発振手段の出力信号の周期を単位とし量子化されたデジタルデータにより、記憶手段から所定のデータが取り出され、そのデータを分周手段に供給し分周比を変えることにより、生成される帰還信号と基準信号との位相差を、電圧制御発振手段の出力信号の2分の1周期期間以内に減少させる。

【0006】

【実施例】以下、本発明によるPLL回路について、図を用いて詳細に説明する。図1は、本発明によるPLL回路の実施例ブロック図である。1は入力信号10と帰還信号12間の位相差を検出し該位相差に応じた信号を出力する第一の位相比較器である。2は、前記位相差に応じた信号を入力し、直流電圧に変換し出力する低域フィルタである。3は、前記低域フィルタ2に縦続接続するとともに、低域フィルタ2が供給する直流電圧により制御され、所定のクロック信号11を発生する電圧制御

発振器である。4は前記第一の位相比較器1と並列に接続され、入力する信号間の位相差を検出し、該位相差に応じた信号を出力する第二の位相比較器である。5は、前記第二の位相比較器が出力する信号を入力し、前記クロック信号11の周期を最小単位としてデジタルデータに変換し出力するデジタル変換部である。6は入力するデジタルデータに対応し、記憶している所定のプリセットデータ13を出力するROMテーブルである。7は、前記ROMテーブル6より供給されたデータに応じ分周比を変え、同時に、該分周比に基づき、前記クロック信号11を分周した後、該出力（帰還）信号12を前記第一の位相比較器1および第二の位相比較器4に帰還させるカウンタである。

【0007】本発明によるPLL回路の動作を説明する。図2は、本発明によるPLL回路において、入力（基準）信号に対する比較（帰還）信号の位相差を示す図である。（イ）図は、比較信号が遅れ位相差を有する場合であり、（ロ）図は、比較信号が進み位相差を有する場合である。（イ）図では、比較信号12は入力信号10と比較し、クロック信号の周期21を単位として、約5周期分の遅れ位相差22が存在することを表す。

（ロ）図では、比較信号12は入力信号10と比較し、クロック信号の周期21を単位として、約4周期分の進み位相差23が存在することを表す。

【0008】図3は、本発明によるPLL回路において、検出された位相差とカウンタにプリセットされる分周用データの関係表である。例えば、位相差+Aが検出されたとすると、+は比較信号が入力信号よりも位相がAだけ進んでいることを表している。この場合、Aはクロック信号の周期を単位として、量子化され数値データaに対応する。クロック信号を分周するカウンタには、（標準値+a）がプリセットされる。よって、分周するカウンタはクロック信号を前記標準値+a計数した後、波形を変化させるように信号出力するので、比較信号の進み位相差は2分の1クロック周期以内に減少された後、第一の位相比較器1から電圧制御発振器3およびカウンタ7を経由し帰還する回路の働きにより、所定の範囲以内に収束する。同様な動作により、遅れ位相差-Bの場合、分周するカウンタには、（標準値-b）がプリセットされた後、分周動作等があり、比較信号の遅れ位相差は解消される。尚、前記標準値は、カウンタ7がクロック信号11を、その値分数えた時点で入力信号10の周期となるような値が設定される。因みに、クロック信号11を4fsc（カラーサブキャリア3.58MHzの4倍）とすると、カウンタの標準値は910であ

る。また、第二の位相比較器4が検出する位相差が2分の1クロック周期以内となる場合、カウンタ7には前記標準値がプリセットされる。

【0009】

【発明の効果】以上説明したように、本発明は入力（基準）信号が供給されると、所定時間以内に、その入力信号に位相同期したクロック信号を出力することができるPLL回路を提供する。従って、クリアビジョンなどで、入力した水平同期信号に位相同期するクロック信号を、チャンネル切り換え、電源の投入など所定の時間以内に安定したクロック信号を供給することができる。

【図面の簡単な説明】

【図1】本発明によるPLL回路の実施例ブロック図である。

【図2】本発明によるPLL回路において、入力（基準）信号に対する比較（帰還）信号の位相差を示す図である。

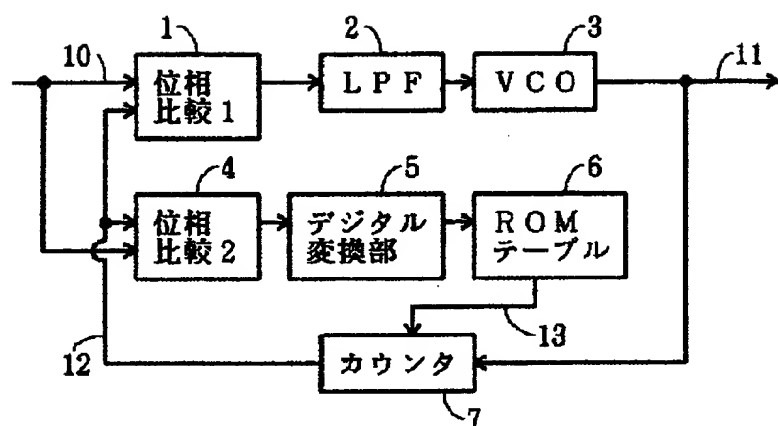
【図3】本発明によるPLL回路において、検出された位相差とカウンタにプリセットされる分周用データの関係表である。

【図4】従来のPLL回路の実施例ブロック図である。

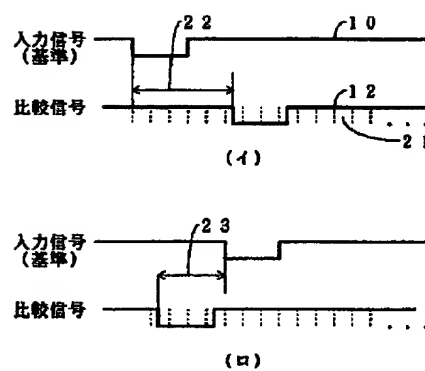
【符号の説明】

- 1 第一の位相比較器
- 2 低域フィルタ
- 3 電圧制御発振器
- 4 第二の位相比較器
- 5 デジタル変換部
- 6 ROMテーブル
- 7 カウンタ
- 10 入力信号
- 11 クロック信号
- 12 帰還信号
- 13 プリセットデータ
- 21 クロック信号の周期
- 22 遅れ位相差
- 23 進み位相差
- 25 検出された位相差
- 26 カウンタにプリセットされる分周用データ
- 31 位相比較器
- 32 低域フィルタ（LPF）
- 34 電圧制御発振器
- 37 カウンタ
- 40 入力信号
- 41 クロック信号
- 42 帰還信号

【図1】



【図2】



【図3】

検出された位相差 (25)	カウンタにプリセットされる分周用データ (26)
+A	標準値 + a
+B	標準値 + b
+C	標準値 + c
.	標準値 .
0	標準値
-A	標準値 - a
-B	標準値 - b
-C	標準値 - c
.	標準値 .

【図4】

